

(19)日本国特許庁 (JP)

## (12)特許公報 (B2)

(11)特許番号

第2755131号

(45)発行日 平成10年(1998)5月20日

(24)登録日 平成10年(1998)3月6日

(61)Int.Cl.<sup>a</sup>  
H01L 21/301  
21/3205

識別番号

F I  
H01L 21/78  
21/88L  
S  
Z

請求項の数3(全7頁)

(21)出願番号 特願平5-291162  
 (22)出願日 平成5年(1993)10月27日  
 (65)公開番号 特開平7-122558  
 (43)公開日 平成7年(1995)5月12日  
 (54)審査請求日 平成6年(1994)3月25日

(73)特許権者 000004237  
 日本電気株式会社  
 東京都港区芝五丁目7番1号  
 (72)発明者 成田 茂  
 東京都港区芝五丁目7番1号 日本電気  
 株式会社内  
 (74)代理人 弁理士 五十嵐 駿三  
 審査官 加藤 浩一

(56)参考文献 特開 平5-41450 (JP, A)  
 特開 平2-125838 (JP, A)  
 特開 平6-260554 (JP, A)  
 特開 平6-97165 (JP, A)

(58)調査した分野(Int.Cl.<sup>a</sup>, DB名)  
 H01L 21/301  
 H01L 21/3205

(54)【発明の名称】半導体装置

1  
 (57)【特許請求の範囲】  
 【請求項1】複数の素子形成領域及び該素子形成領域を区画するスクライブライン領域を有する半導体基板と、  
 前記素子形成領域及び前記スクライブライン領域の西方にまたがるよう設けられ、かつ前記スクライブライン領域に露出した前記半導体基板の部分に直接コンタクトした第1の放電配線層と、  
 該第1の放電配線層上に形成され、複数のコンタクトホールを有する層間絕縁層と、  
 該層間絶縁層上に形成され、前記コンタクトホールを介して前記第1の放電配線層に接続され、かつ前記スクライブライン領域に露出した前記半導体基板の部分に直接コンタクトされた第2の放電配線層とを具備する半導体装置。

2  
 【請求項2】前記第1、第2の放電配線層は前記素子形成領域の全周囲に設けられている請求項1に記載の半導体装置。  
 【請求項3】前記半導体基板の部分は該半導体基板に形成された抗酸層である請求項1に記載の半導体装置。  
 【発明の詳細な説明】  
 【0001】  
 【産業上の利用分野】本発明は半導体装置、特に、スクライブライン領域における配線構造に関する。  
 10 【0002】  
 【従来の技術】半導体装置(チップ)をウェハ上に形成する際に、半導体装置の境界つまりスクライブライン領域は配線層等をすべて取り除いていたが、これによる段差が大きくなると、後工程においてエッチング不良等によって歩留り低下する減少がある。このため、スクライ